



Docket Number 9707936      Mailing Number 326159  
Mailing Date September 7, 2004

### NOTICE OF REASONS OF REJECTION

✓ Application Number Pat Apply 1998-281699  
Date of Draft August 31, 2004  
Patent Office Examiner Takeo TAKIUCHI 9054 4L00  
Attorney of Applicant Keisirou TAKAHASHI  
Applied Article Article 29, 2nd paragraph  
Article 36  
Article 37

This application should be rejected by the following reasons. When the applicant has opinion thereto, please submit Argument within 60 days from the date of mailing.

### REASONS

2. The invention relating to the following claims of this application could be easily made by those skilled in the art before the filling of this application, based on the invention described in the below-mentioned publications distributed in Japan or foreign countries prior to the filing of this application. Therefore, this application cannot be granted a patent under the prescription of paragraph 2 of Article 29 of the Japanese Patent Law.

Remarks

(refer to a list of cited documents and others)

Claim 1

Cited Document 1

Memorandum

The cited document 1 describes that when a semiconductor device mixed with a memory cell portion and a logic circuit portion is manufactured, impurities are doped in a silicon film formed on a semiconductor substrate via a gate insulating film, at different impurity concentrations between the memory cell portion and logic circuit portion, the silicon film is patterned to leave gate electrodes of a first impurity concentration serving also as word lines in the memory cell portion and to leave gate electrodes of a second impurity concentration in the logic circuit portion.

The invention described in the cited document 1 sets the first impurity concentration lower than the second impurity concentration. The first and second impurity concentrations can be properly set by those skilled in the art to have optimum values for each device, by considering other parameters such as an impurity concentration in the channel region and a gate insulating film thickness. In Claim 1 of the invention of the present application, technical difficulty is not recognized in setting the second impurity concentration lower than the first impurity concentration.

Claim 2

Cited Documents 1, 2

Memorandum

The cited document 2 describes that when a semiconductor device including n-channel MISFETs and p-channel MISFETs is manufactured, n-type impurities are doped in a silicon film formed on a semiconductor substrate via a gate insulating film, only in an n-channel MISFET area, the silicon film is patterned to form gate electrodes of the n-channel MISFETs and p-channel MISFETs, and p-type impurities are doped in the gate electrodes of the p-channel MISFETs and in a substrate surface layer on both sides of each gate electrode. Those skilled in the art can properly apply the techniques described in the cited document 2 to the logic circuit portion of the invention described in the cited document 1.

Claim 3

Cited Documents 1, 3, 4

Memorandum

The cited document 3 describes that when a semiconductor device mixed with a memory cell portion and a logic circuit portion is manufactured, the LDD structure is formed only in the logic circuit portion, and the cited document 4 describes that a metal silicide film is formed on the upper surface of a gate electrode and the surfaces of source/drain regions only in the logic circuit portion. Those skilled in the art can properly apply the techniques described in the cited documents 3 and 4 to the logic circuit portion of the invention described in the cited document 1.

Claim 4

Cited Documents 1, 3, 4, 5

Memorandum

The cited document 5 describes that in the first ion implantation

process for forming LDD portions, both phosphorus and arsenic ions are implanted (refer to Fig. 2 and its corresponding description). Those skilled in the art can properly apply the techniques described in the cited document 5 to MISFETs in the logic circuit portion described in the cited document 3.

#### Claim 5

Cited Document 1

Memorandum

The cited document 1 describes that in a semiconductor device mixed with a memory cell portion and a logic circuit portion, a first impurity concentration is set to the gate electrode serving also as the word line in the memory cell portion, and a second impurity concentration different from the first impurity concentration is set to the gate electrode in the logic circuit portion.

The invention described in the cited document 1 sets the first impurity concentration lower than the second impurity concentration. The first and second impurity concentrations can be properly set by those skilled in the art to have optimum values for each device, by considering other parameters such as an impurity concentration in the channel region and a gate insulating film thickness. In Claim 5 of the invention of the present application, technical difficulty is not recognized in setting the second impurity concentration lower than the first impurity concentration.

#### Claim 6

Cited Documents 1, 4

Memorandum

The cited document 4 describes that in a semiconductor device mixed

with a memory cell portion and a logic circuit portion, a metal silicide film is formed on the upper surface of a gate electrode and the surfaces of source/drain regions only in the logic circuit portion. Those skilled in the art can properly apply the techniques described in the cited documents 4 and 4 to the logic circuit portion of the invention described in the cited document 1.

#### List of Cited Documents and Others

1. Japanese Patent Laid-open Publication No. HEI-10-247725
2. Japanese Patent Laid-open Publication No. HEI-5-226593
3. Japanese Patent Laid-open Publication No. HEI-7-99236
4. Japanese Patent Laid-open Publication No. HEI-10-256511
5. Japanese Patent Laid-open Publication No. HEI-7-297393

## 拒絶理由通知書

特許出願の番号	平成10年 特許願 第281699号
起案日	平成16年 8月31日
特許庁審査官	瀧内 健夫 9054 4L00
特許出願人代理人	高橋 敬四郎 様
適用条文	第29条第2項、第36条、第37条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理由



1. この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

記

請求項1～6に係る発明（以下、「第1発明」という）が解決しようとする課題は、メモリセルのデータ保持特性を良好に維持しつつ、ロジック回路部の電気的特性向上させることであり、請求項7～11に係る発明（以下、「第2発明」という）が解決しようとする課題は、製造工程数の増加を抑制し、ロジック回路部にキャパシタを形成することであり、請求項12に係る発明（以下、「第3発明」という）が解決しようとする課題は、コンタクトホール形成時に、ソース／ドレイン領域の被るダメージを防止することであり、請求項13, 14に係る発明（以下、「第4発明」という）が解決しようとする課題は、メモリセル部のみを先に形成した場合に、製造工程数の増加を抑制し、メモリセル部のビット線とロジック回路部の配線とを接続することであると認められる。

よって、第1発明乃至第4発明は、それぞれの解決しようとする課題が同一でなく、特許法第37条第1号に規定する関係を有するとは認められない。

また、第1発明の主要部は、メモリセル部のワード線の不純物濃度を高くする一方、ロジック回路部のMISFETのゲート電極の不純物濃度を低くすることであり、第2発明の主要部は、キャパシタの上部電極とワード線とを同時に形成し、下部電極とロジック回路部のゲート電極とを同時に形成することであり、第3発明の主要部は、ソース／ドレイン領域上に導電性のパッドを設けることがあり、第4発明の主要部は、対向電極の縁をロジック回路部とメモリセル部との境界線よりも後退させることであると認められる。

よって、第1発明乃至第4発明は、それぞれの主要部が相違するから、特許法

第37条第2号に規定する関係を有すると認められない。

さらに、各発明は、特許法第37条第3号、第4号、第5号に規定する関係のいずれを満たすものとも認められない。

この出願は特許法第37条の規定に違反しているので、請求項1～6以外の請求項に係る発明については新規性、進歩性等の要件についての審査を行っていない。

2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

・請求項1

・引用文献1

備考：

引用文献1には、メモリセル部とロジック回路部とが混載された半導体装置を製造する際に、半導体基板上にゲート絶縁膜を介して形成されたシリコン膜に、メモリセル部とロジック回路部とで異なる不純物濃度となるように不純物を添加しておき、このシリコン膜をパターニングして、メモリセル部にワード線を兼ねる第1の不純物濃度のゲート電極を残し、ロジック回路部に第2の不純物濃度のゲート電極を残すことが記載されている。

ここで、引用文献1に記載された発明においては、第1の不純物濃度を第2の不純物濃度よりも低濃度としているが、第1の不純物濃度と第2の不純物濃度は、チャネル部の不純物濃度やゲート絶縁膜厚等の他の要素との関係も考慮して、それぞれの素子にとって最適値となるように当業者が適宜設定し得るものであり、かつ、本願の請求項に係る発明において、第2の不純物濃度を第1の不純物濃度よりも低濃度とすることに技術的な困難性があったとも認められない。

・請求項2

・引用文献1， 2

備考：

nチャネルMISFETとpチャネルMISFETとを含む半導体装置を製造する際に、半導体基板上にゲート絶縁膜を介して形成されたシリコン膜のnチャネルMISFET用の領域にのみn型不純物を添加しておき、このシリコン膜を

パターニングして、nチャネルMISFETとpチャネルMISFETのゲート電極を形成し、さらにpチャネルMISFETの該ゲート電極とその両側の基板表面層にp型不純物を注入することは、引用文献2に記載されており、この技術を、引用文献1に記載された発明のロジック回路部に用いることは、当業者が適宜なし得たものである。

## ・請求項3

- ・引用文献1, 3, 4

## 備考：

メモリセル部とロジック回路部とが混載された半導体装置を製造する際に、ロジック回路部のみLDD構造とすることは引用文献3に、また、ロジック回路部のみゲート電極の上面とソース／ドレイン領域の表面に金属シリサイド膜を形成することは引用文献4に記載されており、この技術を、引用文献1に記載された発明のロジック回路部に用いることは、当業者が適宜なし得たものである。

## ・請求項4

- ・引用文献1, 3, 4, 5

## 備考：

引用文献5には、LDD部を形成するための第1イオン注入工程において、リンと砒素の両方をイオン注入することが記載されており（図2とその説明の箇所を参照）、この技術を、引用文献3に記載されたロジック回路部のMISFETに用いることは、当業者が適宜なし得たものである。

## ・請求項5

- ・引用文献1

## 備考：

引用文献1には、メモリセル部とロジック回路部とが混載された半導体装置において、メモリセル部のワード線を兼ねるゲート電極が第1の不純物濃度とされ、ロジック回路部のゲート電極が第1の不純物濃度と異なる第2の不純物濃度とされたものが記載されている。

ここで、引用文献1に記載された発明においては、第1の不純物濃度を第2の不純物濃度よりも低濃度としているが、第1の不純物濃度と第2の不純物濃度は、チャネル部の不純物濃度やゲート絶縁膜厚等の他の要素との関係も考慮して、それぞれの素子にとって最適値となるように当業者が適宜設定し得るものであり、かつ、本願の請求項に係る発明において、第2の不純物濃度を第1の不純物濃度よりも低濃度とすることに技術的な困難性があったとも認められない。

## ・請求項6

- ・引用文献1, 4

## 備考：

メモリセル部とロジック回路部とが混載された半導体装置において、ロジック回路部のみのゲート電極の上面とソース／ドレイン領域の表面に金属シリサイド膜を配置することは引用文献4に記載されており、この技術を、引用文献1に記載された発明のロジック回路部に用いることは、当業者が適宜なし得たものである。

## 引 用 文 献 等 一 覧

1. 特開平10-247725号公報
2. 特開平5-226593号公報
3. 特開平7-99236号公報
4. 特開平10-256511号公報
5. 特開平7-297393号公報

3. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号に規定する要件を満たしていない。

## 記

請求項4には「前記第1イオン注入工程において、・・・前記ロジック回路部には少なくとも砒素をイオン注入する」と記載されており、請求項4に係る発明は、第1イオン注入工程において、ロジック回路部には砒素のみをイオン注入する場合も含むものである。

しかし、発明の詳細な説明には、「ロジック回路部のnチャネルMISFET形成領域には、Pを加速エネルギー5～30keV、ドーザ量1～5×10<sup>13</sup>cm<sup>-2</sup>の条件でイオン注入し、さらにAsを加速エネルギー5～30keV、ドーザ量1～50×10<sup>13</sup>cm<sup>-2</sup>の条件でイオン注入する」（【0029】）及び「メモリセル部のMISFETのソース／ドレイン領域9aにはAsを添加せずPのみを添加する」（【0030】）と記載されており、これらの記載によれば、ロジック回路部には砒素とリンの両方がイオン注入されるものと認められる。

よって、請求項4に係る発明は、発明の詳細な説明に記載したものでない。

## 先行技術文献調査結果の記録

- ・調査した分野 IPC第7版 H01L21/8242-8246  
H01L27/10-115

整理番号 9707936

発送番号 326159 5/E

発送日 平成16年 9月 7日

H01L21/8234-8238

H01L27/06

H01L27/08-092

H01L21/336

H01L29/78

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。